

東區工職技術教學中心慶祝建國百年辦理

『CPLD 課程應用於新數位乙級檢定研習』實施計畫

一、依據：

教育部 99 年東區技術教學中心年度工作計畫
花蓮高工優質化計畫 99-1 校本課程改進計畫
花蓮區均質化實施方案 99-1 花蓮區域研習及體驗營活動

二、活動目標：

1. 提升東部地區學校教師對於 CPLD 設計課程瞭解。
2. 引進業界資源提升東部地區電機電子群教師專業素養。
3. 透過第二天實作課程，提升參加研習教師輔導學生報考數位乙級檢定之證照取得人數。
4. 區域內的師生因為本計畫而能享受到本校的資源，進而達成教育資源均質化的目的。

三、主辦單位：國立花蓮高工附設東區工職技術教學中心

協辦單位：僑高科技

四、主講人：薛文彬

五、實施地點：國立花蓮高工資訊科

六、實施日期時間：100 年 4 月 30 日、5 月 1 日（星期六、日）， 每日上午 08:00 至下午 05:00

七、參加人數：30 人，宜花東地區電機電子群之大專、高職教師優先參加，如有餘額則開放花蓮地區教師、學生及社區人士參加。

八、注意事項：本次研習第二天為實作必需使用烙鐵焊接電路板，請參加老師自備焊接用工具及電表。本研習開放學生及社區人士報名參加，唯需繳交 500 元研習材料費用。

九、報名方式：請於 100 年 4 月 25 日中午前完成報名。

中小學教師請上教師進修網報名，學生與社會人士請上本校技術教學中心網站報名，網址：<http://ettc.hlis.hlc.edu.tw>。
聯絡人：國立花蓮高工郭德潤老師，03-8226108 # 661。

十、報到方式及配合注意事項：

請參加研習教師配合本校門禁管制措施表明參加技術教學中心

研習，並配合出示證件。

十一、經費概算表：如附件

十二、行政配合事項：

1. 研習名單於研習前一日會送警衛室以便門禁管制。
2. 請教務處同意借用媒體中心做為上課地點。
3. 請教務處協助教師進修網站登錄。(報名期間：即日起至100年4月25日)

附件一：CPLD 課程應用於新數位乙級檢定研習研習教學大綱

一、 研習目的：

雖然 CPLD 技術已經不是最新的技術，但是在電子產業裏都可以看到 CPLD 的 IC，今年特別是數位乙級檢定採用 EPM3064ALC-44 CPLD 晶片，此舉是代表學術界要進步到與產業人才需求結合，把相關技術投入更多在臺灣電子產業供應鏈上，CPLD 本來就是高中職一直引倚為重的核心課程，但是數位乙級檢定也一直是各高中職學校看重標竿，本研習課程主要幫助老師進行 CPLD/ 的系統學習，以新數位乙級檢定實踐為例，深入探討目前業界最新、最流行的工具，我們主題是以最新數位乙級檢定與教學課程互相結合，讓教學跟檢定完全合而為一，不必再特別學習數位乙級檢定部分，只要上了一學期的實驗課，學生就有能力報考數位乙級檢定，在目前高中職的實習課時數不多的情形下，只有使用這種方法才是最有效率的教學方法，僑高科技 CPLD 教學工具一直深受各界學校老師喜愛，因為我們研究這領域已經有數十年之久，講授 CPLD 最具彈性設計方法，一切都變成最簡潔的開發流程。每次課程都配有相關實驗，每個在 CPLD 實驗都可印證數位乙級檢定在 CH-100 實驗平台上進行，研習老師可以根據自身教學需要選擇三項試題。通過實驗，老師可以更好理解消化課堂知識，技術水準會得到迅速提高，教學品質大大提升。

■主要對象

1. CPLD 實習課程教師
2. 數位邏輯實習課程教師
3. 微處理機實習課程教師
4. 數位乙級檢定教師等

■教學重點

重點講述如何用 VERILOG HDL 硬體描述語言，跟 VHDL 硬體描述語言在 ALTERA 的整合開發環境下，以合理的邏輯理論描述出一個活生生的硬體電路。本課程通過理論與多個實驗的結合，讓學員能夠充分理解與掌握 CPLD 在數位乙級檢定的過程中應用於一般實習課之建立。

■教學目標

培養老師熟練掌握和使用基於 CPLD 的數位系統開發工具、開發流程 (ALTERA)，能夠獨立解決開發中常見問題，增進教學能量，進行成熟的 CPLD 除了上實習課外，也可做出數位乙級的考題，一樣是教學可以有一舉數得之功效。

二、時間：4/30 (星期六)上午 08:30 至下午 05:00

三、地點：國立花蓮高工資訊科

四、預估人數:30 人

**99 年度東區工職技術教學中心辦理
CPLD 課程應用於新數位乙級檢定研習研習課程表**

100 年 04 月 30 日(星期六)		
時 間	課 程	主 講 人
08:00~08:30	報到	
08:30~08:50	設備借用	
09:00~10:50	1、VHDL 和Verilog HDL的各自特點和應用範圍 2、Verilog HDL的程式特性 3、Verilog HDL的幾個基本概念	講師:薛文彬總經理
10:50~11:00	休息	
11:00~11:50	1、Verilog HDL基本結構語言要素與語法規則 2、設計可靠的組合邏輯電路以避免模擬時出現時間轉換問題的產生	講師:僑高研發團隊
11:50~13:00	午 餐	
13:00~14:50	1、ALTERA 公司晶片如何處理內部三態電路 2、典型的 VHDL 程式特性分析 1 3、典型的 VHDL 程式特性分析 2	講師:僑高研發團隊
14:50~15:00	休息	
15:00~15:30	1、上機實驗(同一個動作下使用 VHDL 跟 Verilog HDL)完成電路實驗 2、VHDL 設計輸入方法(電路圖設計法,,HDL 語言, IP Core 設計) 3、VHDL 程式結構與任務和函數的聯繫和區別	講師:僑高研發團隊
15:30~15:40	休息	
15:40~16:30	1、VHDL 有限狀態機的設計原理及其程式撰寫風格 2、VHDL 程式內容可綜合性的撰寫風格	講師:僑高研發團隊
16:30~17:00	教師互動回饋與問題討論	講師:僑高研發團隊
17:00	繳回設備，課程結束	

**99 年度東區工職技術教學中心辦理
CPLD 課程應用於新數位乙級檢定研習研習課程表**

100 年 05 月 01 日(星期日)		
時 間	課 程	主 講 人
08:00~08:30	報到	
08:30~08:50	設備借用	
09:00~10:50	1、把 CPLD 引入最新數位乙級檢定的應用領域 2、去年舊數位乙級的題目製作方法與今年新數位乙級不同之處講解	講師:薛文彬總經理
10:50~11:00	休息	
11:00~11:50	1、CPLD 的設計流程和設計方法簡介,包括電路圖、波形圖、狀態轉換圖及各種硬體描述語言簡介	講師:僑高研發團隊
11:50~13:00	午 餐	
13:00~14:50	1、以循序漸進的方法把程式變成電路模組設計 2、新數位乙級第一個試題,(四數位多工顯示器設計)講解	講師:僑高研發團隊
14:50~15:00	休息	
15:00~15:30	1、上機實驗(十進位顯示電路設計) 2、上機實驗(建立多工掃描電路)	講師:僑高研發團隊
15:30~15:40	休息	
15:40~16:30	1、完成第一個試題,四數位多工顯示器設計中涵蓋了新學期教學課程進度	講師:僑高研發團隊
16:30~17:00	教師互動回饋與問題討論	講師:僑高研發團隊
17:00	繳回設備,課程結束	